



(19)

(11) Publication number:

60019318**A**

Generated Document.

PATENT ABSTRACTS OF JAPAN(21) Application number: **58128170**(51) Intl. Cl.: **H03K 17/28**(22) Application date: **14.07.83**

(30) Priority:

(43) Date of
application **31.01.85**
publication:(84) Designated
contracting states:(71) Applicant: **NEC CORP**(72) Inventor: **WAKAMIYA YASUO**

(74) Representative:

**(54) TIMER CIRCUIT
SYSTEM**

(57) Abstract:

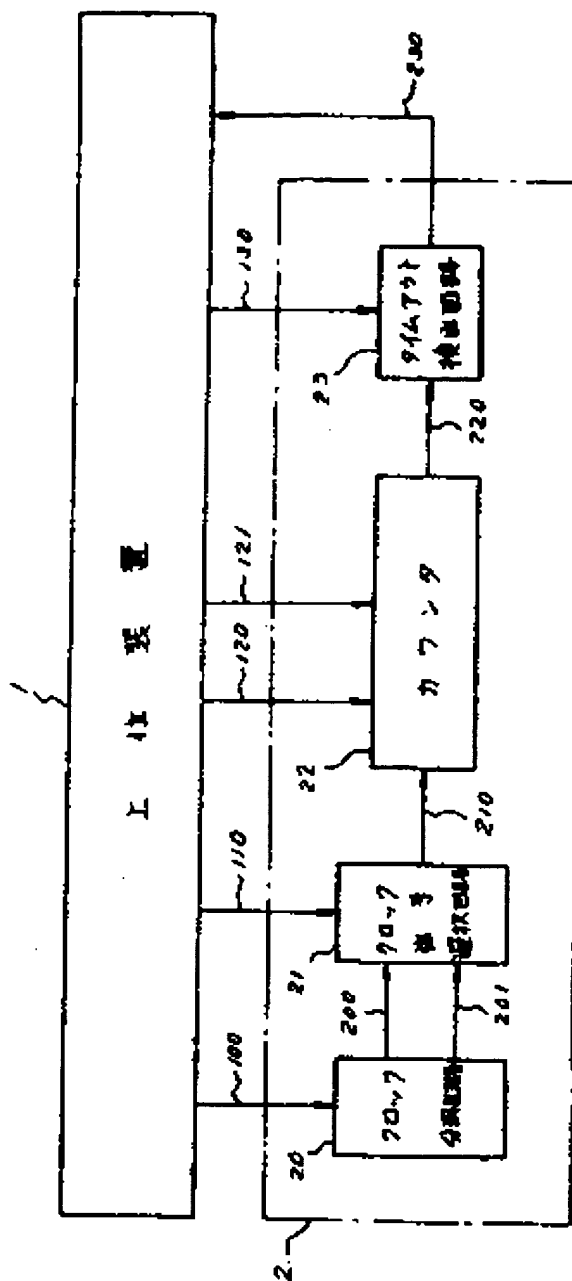
PURPOSE: To attain the setting of a minute timer length and to decrease the test time of a timer circuit for an upper priority device by allowing the high-order device to select a count clock signal from plural clock signals.

CONSTITUTION: A frequency dividing circuit 20 outputs high and low speed clock signals 200 and 201 from a basic clock signal 100. A selection circuit 21 holds a selecting

BEST AVAILABLE COPY

Control signal 110, selects the signal 200 or 201, and outputs a count clock signal 210 to a counter 22. The counter 22 makes counts by the signal 210 at a timer length set by an initial set control signal 120 and an initial set information signal 121 for the upper priority device 1 and informs a detecting circuit 23 of it when the counter overflows. The detecting circuit 23 receives a timeout informing permission control signal 130 and informs the device 1 of it. The device 1 is controlled so as to select one clock signal depending on the processing purpose at that time. When a short measuring time is desired, the signal 200 is selected.

COPYRIGHT: (C)
1985,JPO&Japio



BEST AVAILABLE COPY

⑬ 日本国特許庁 (JP)
⑭ 公開特許公報 (A)

① 特許出願公開
昭60—19318

⑤ Int. Cl.⁴
H 03 K 17/28

識別記号

庁内整理番号
7105—5 J

④ 公開 昭和60年(1985)1月31日

発明の数 1
審査請求 未請求

(全 4 頁)

⑥ タイマ回路方式

東京都港区芝五丁目33番1号日
本電気株式会社内

⑦ 特 願 昭58—128170

⑦ 出 願 人 日本電気株式会社

⑧ 出 願 昭58(1983)7月14日

東京都港区芝5丁目33番1号

⑨ 発 明 者 若宮康夫

⑩ 代 理 人 弁理士 栗田春雄

明 細 書

1. 発明の名称

タイマ回路方式

2. 特許請求の範囲

上位装置よりセット状態およびリセット状態に設定可能なフリップフロップを縦続接続したカウンタを有し、前記カウンタのオーバフロー又はアンダフロー発生により、タイムアウトを上位装置に通知するタイマ回路において、高速の基本クロック信号を分周するクロック分周回路と、このクロック分周回路から出力される少なくとも2種類の速度のクロック信号の内からその1つを上位装置からの指示により選択し、前記カウンタにカウントクロック信号として供給するクロック信号選択回路とを備えていることを特徴とするタイマ回路方式。

3. 発明の詳細な説明

技術分野

本発明は主としてマイクロプログラム制御装置において使用されるタイマ回路方式に関するものである。

背景技術

タイマ回路は通常フリップフロップをカウンタとして縦続接続し、このカウンタの最下段のフリップフロップにはカウントアップ又はカウントダウンのためのクロック信号が入力されて、前記カウンタのオーバフロー又はアンダフローが発生すると、上位装置に対して割り込み等の手段によりタイムアウトが通知されるように構成されている。また一般的には、カウンタを構成する各フリップフロップは、上位装置からセット状態およびリセット状態に設定可能であり、カウンタに対して上位装置から任意の状態にプリセットすることにより、任意のタイマ長を設定できるようになっている。

従来のタイマ回路方式ではカウントクロック信号が固定であるため、カウントクロック信号の周

期以下の端数を持ったタイマ長は設定できず、このようにきめの細かなタイマ長が設定できるように、カウントクロック信号を高速にすればカウンタの段数が増加して、上位装置からのタイマ長の設定が複雑になるという欠点があった。

また、このようなタイマ回路を上位装置から試験する場合、カウンタの各フリップフロップに対して上位装置がセット状態およびリセット状態に設定し、期待する時間内にタイムアウトとなるかどうかを確認する方法がとられるが、計時できる最大タイマ長が例えば数十秒と長いタイマ回路においては、試験のために少なくともこの最大タイマ長だけの時間を要するという欠点があった。

発明の開示

本発明の目的は、上述の欠点を解決するため、複数の異なる速度のクロック信号を発生させ、上位装置がこれらのクロック信号と、カウンタへの設定値とを任意の組合せて選択して設定できるようにしたタイマ回路方式を提供することにある。

本発明は上述の目的を達成するために、上位装

置よりセット状態およびリセット状態に設定可能なフリップフロップを縦続接続したカウンタを有し、前記カウンタのオーバーフロー又はアンダフロー発生により、タイムアウトを上位装置に通知するタイマ回路において、高速の基本クロック信号を分周するクロック分周回路と、この分周回路から出力される、少なくとも2種類の速度をもつクロック信号の内からその1つを上位装置からの指示により選択し、前記カウンタにカウントクロック信号として供給するクロック信号選択回路とを有するような構成を採用している。

以上に説明したように、本発明においては、タイマ回路のカウンタに供給するカウントクロック信号を、上位装置が複数のクロック信号の内から選択出来るように構成しているので、きめ細かなタイマ長の設定を可能にし、あわせて上位装置がこのタイマ回路を試験する場合に試験時間を短縮できるという効果がある。

本発明を実施するための最良の形態

次に本発明の実施例について図面を参照して詳

細に説明する。

第1図は本発明の構成および動作を説明するための装置実施例のブロック図であり、上位装置1と本発明によるタイマ回路2からなっており、タイマ回路2はクロック分周回路20、クロック信号選択回路21、カウンタ22およびタイムアウト検出回路23から構成される。

本実施例では、高速の基本クロック信号100は上位装置1からタイマ回路2へ供給される。クロック分周回路20は前記基本クロック信号100を分周し、比較的高速のクロック信号200と、比較的低速のクロック信号201との2種類をクロック信号選択回路21に供給する。クロック信号選択回路21は上位装置からのクロック選択制御信号110を保持し、前記の比較的高速のクロック信号200と比較的低速のクロック信号201とのいずれかを選択し、カウンタ22にカウントクロック信号210を供給する。カウンタ22はフリップフロップを縦続接続に構成されており、上位装置からの初期設定制御信号120により、

初期設定情報信号121の状態が前記の各フリップフロップの初期状態として設定されるようになっている。ここに初期設定情報信号121はカウンタ22のフリップフロップの段数だけの信号本数をもっている。カウンタ22は上位装置1が初期設定制御信号120および初期設定情報信号121により設定されたタイマ長で、初期状態からカウントクロック信号210によりカウントアップし、オーバーフローが発生した時点で、カウンタオーバーフロー信号220によりカウンタのオーバーフローをタイムアウト検出回路23に通知する。タイムアウト検出回路23は、上位装置1からのタイムアウト通知許可制御信号130を受け取り、タイムアウト発生をタイムアウト通知信号230によって上位装置1に通知する。

この通知を受けると、上位装置はその時の処理目的に応じて、比較的高速のクロック信号200と比較的低速のクロック信号201とのうちの適当な方を選択するように制御する。

例えば、数十秒と長いタイマ長が必要であれば、

比較的低速のクロック信号201を選択するようにする。

また、試験時等で短い測定時間が望ましい場合は、比較的高速のクロック信号200の方を選択する。すなわち、この試験は、カウンタ22を構成する各フリップフロップに対する上位装置1からの初期設定制御信号120及び初期設定情報信号121の設定が正常に行われるかどうかの試験と、カウンタ22のカウントアップ機能試験と、タイムアウト検出回路23のタイムアウト検出機能試験の3つがあるが、カウントアップ機能とタイムアウト検出機能の試験には比較的高速のクロック信号200を選択して試験を行ない、次に比較的低速のクロック信号201を選択して、カウンタ22の短いタイマ長の初期設定の試験を1回行えば、タイマ回路2のすべての試験をもれなく行ったことになる。

以上に説明したように、本発明によれば、複数のクロック信号を用い、これを選択できる回路を設けることにより、きめ細かいタイマ長の設定を

可能にし、かつ上位装置がタイマ回路を試験する際の試験時間を短縮できるという効果がある。

なお、本実施例ではクロック信号選択回路21は、2種類のクロック信号200および201のどちらかを選択するが、もつときめ細かくタイマ長を必要とする場合には、クロック分周回路20からクロック信号選択回路21に供給するクロック信号の種類を増加し、クロック選択制御信号110の信号線本数も、これに応じて増加すればよい。

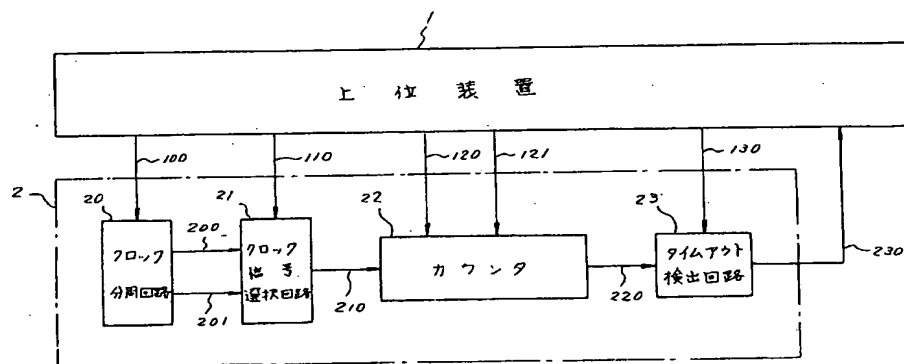
4. 図面の簡単な説明

第1図は本発明方式を実施する装置の実施例のブロック図である。

1……上位装置、2……タイマ回路、20……クロック分周回路、21……クロック信号選択回路、22……カウンタ、23……タイムアウト検出回路、100……基本クロック信号、110……クロック選択制御信号、120……初期設定制御信号、121……初期設定情報信号、130……

……タイムアウト通知許可信号、200……比較的高速のクロック信号、201……比較的低速のクロック信号、210……カウンタクロック信号、220……カウンタオーバーフロー信号、230……タイムアウト通知信号。

代理人 弁理士 栗田 春 雄



第1図

BEST AVAILABLE COPY